

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189951

(43)Date of publication of application : 21.07.1998

(51)Int.CI.

H01L 29/78

(21)Application number : 08-348676

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 26.12.1996

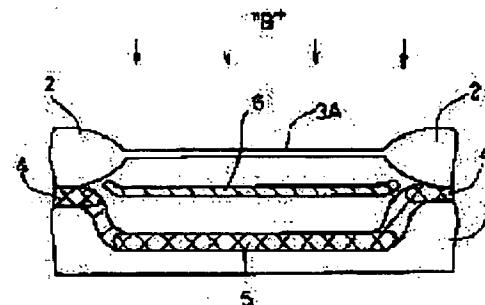
(72)Inventor : OKABE YUUSHIROU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To attain a high threshold voltage with low ion implantation, without causing degradation of isolation characteristic.

**SOLUTION:** Boron ions (11B+) are implanted under conditions for penetrating an LOCOS oxide 2 deposited on a P-type silicon substrate 1, in order to form a channel stopper layer 4 beneath the LOCOS oxide 2 of the same time as with a first channel ion implantation layer 5 in a deep region within the substrate 1. Subsequently, boron ions (11B+) are implanted from above the substrate 1 under conditions of not penetrating the LOCOS oxide 2, in order to form a second channel ion implantation layer 6 beneath a region for forming a diffusion layer in the substrate which is shallower than the first channel ion implantation layer 5.



## LEGAL STATUS

[Date of request for examination] 22.02.2001

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

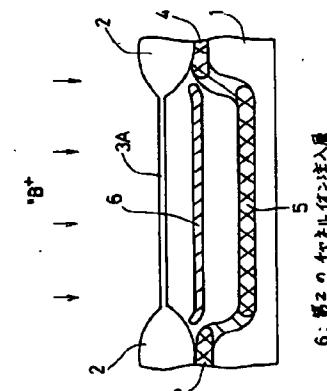
(1) 日本国特許庁 (JP) (2) 公開特許公報 (A) (1)特許出願公開番号  
特開平10-189951  
(3) 公開日 平成10年(1998)7月21日

(5) 例別記号	P1	H01L 23/78	301X	審査請求 未請求 請求項の数2 OL (全7頁)
(2) 出願番号	特願平8-343676	(7) 代理人	00001888 三洋電機株式会社	(1)特許出願番号
(2) 出願日	平成8年(1996)12月26日	(7) 著明者	大阪府守口市京本通2丁目5番5号 岡部 統志郎	(2)出願番号 未請求 請求項の数2 OL (全7頁)
(7) 代理人	井理士 安藤 錠二 (外1名)	(7) 代理人	大阪府守口市京本通2丁目5番5号 三洋電機株式会社内	(3)公開日 平成10年(1998)7月21日

#### (54) 発明の名前 半導体装置の製造方法

(57) 【要約】 [課題] 索子分離特性を発化させることなしに、少ないイオン注入量で高いい値圧力を得ることを可能にする。

[解決手段] P型シリコン基板1上に形成したLOCOS酸化膜2を貫通する注入条件でボロニイオン(11B+)を注入して、該LOCOS酸化膜2下にチャネルレストッパ層4を形成すると共に、前記基板1内の深い領域に第1のチャネルイオン注入層5を同時に形成する。次に、前記基板1上方から前記LOCOS酸化膜2を貫通しない注入条件でボロニイオン(11B+)を注入して、前記第1のチャネルイオン注入層5よりも底板の深い領域である並置層形成領域下近傍に第2のチャネルイオン注入層6を形成するものである。



#### 【特許請求の範囲】

【請求項1】 一導電型のシリコン基板上に形成した! LOCOS酸化膜を貫通する注入条件で一導電型の不純物イオンをイオン注入し、当該LOCOS酸化膜下にチャネルレストッパ層を形成すると共にゲート電極下の基板表面より深い領域にチャネルイオン注入層を同時に形成する半導体装置の製造方法において、前記LOCOS酸化膜を貫通しない注入条件で一導電型の不純物イオンをイオン注入して前記チャネルイオン注入層よりも基板の浅い領域用に補充用のチャネルイオン注入層を同時に形成することを持つ構造とする半導体装置の製造方法。

【請求項2】 一導電型のシリコン基板上にLOCOS酸化膜を形成する工程と、前記LOCOS酸化膜を除く基板上にミニ酸化膜を形成する工程と、前記シリコン基板上方から前記LOCOS酸化膜を貫通する注入条件で一導電型の不純物を注入して該LOCOS酸化膜下にチャネルレストッパ層を形成すると共に前記基板の深い領域に第1のチャネルイオン注入層を同時に形成する工程と、前記シリコン基板上方から前記LOCOS酸化膜を貫通しない注入条件で一導電型の不純物を注入して該酸化膜成領域下近傍に第2のチャネルイオン注入層を形成する工程と、前記ミニ酸化膜を除去した後に前記第1のチャネルイオン注入層を形成する工程と、前記ゲート電極上にゲート電極を形成する工程と、前記ゲート電極の両端にソース・ドレイン層を形成する工程とを有することを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関する、更に述べると半導体基板上に形成したLOCOS (focal Oxidation of Silicon) 酸化膜を貫通する注入条件でイオン注入を行い、当該LOCOS酸化膜下にチャネルレストッパ層を形成すると共に、ゲート電極下の基板表面より深い領域にチャネルイオン注入層を同時に形成するものにおいて、素子分離耐圧を低下させることがなしに、少ないイオン注入量で高いい値圧力を得ることを可能にすると共に、ゲート電極上の酸化膜を薄くしてセルの周辺との段差低減を可能とする技術に関する。

#### 【0002】

【従来の技術】 化成した半導体装置の製造方法において、第1の問題を有する半導体装置の製造方法について図9乃至図13を基に説明する。図9に示す5.1は一導電型の半導体基板、例えばP型シリコン基板で、該基板5.1上の所望領域をフィールド酸化することでおよそ450

0Åの厚さのLOCOS (local Oxidation of Silicon) 酸化膜5.2を形成し、該LOCOS酸化膜5.2以外の領域におよそ400Åの厚さのミニ酸化膜5.3Aを形成する。

100031 次に、全面にボロニイオン(11B+)を前記LOCOS酸化膜5.2下に突き抜け可能な注入条件、例えば、加速電圧140KeV、注入量6.0E12/cm2(尚、6.0E12は6.0掛け10の12乗の意である。以下、同様である。)で注入して、図10に示すように該LOCOS酸化膜5.2下にチャネルストップ層5.4を形成すると共に、ミニ酸化膜5.3Aの半導体基板5.1内の深い領域に前記チャネルリストップ層5.4を形成する。

100041 続いて、前記ミニ酸化膜5.3Aを除去した後、前記LOCOS酸化膜5.2以外の領域におよそ120Åの厚さのゲート電極3を形成する。次に、基板全面にゲート電極形成用のボリシリコン膜及び微小構造膜形成のレジスト膜を介してエッチングして111にゲート電極5.6を形成した後、該ゲート電極5.6とその上部に積層された酸化膜5.7をマスクにして曝え、ボロニイオン(11B+)を加速電圧40KeV、注入量7.0E12/cm2で注入して、パンチホール用のイオン注入層5.8を後退するN型ソース・ドレイン層形成領域下に形成する。

100051 次に、図12に示すように例えばリノイオノン(31P+)を加速電圧30KeV、注入量2.8E13/cm2で注入条件で注入して、低濃度のN型ソース・ドレイン層5.9、6.0を形成する。次に、図13に示すように前記ゲート電極5.6を形成されるサイドウォール酸化膜6.1を形成し、前記ゲート電極5.6及びサイドウォール酸化膜6.1をマスクにして曝え、ヒ素イオン(75As+)を加速電圧30KeV、注入量5.0E13/cm2の注入条件で注入して高濃度のN+型ソース・ドレイン層6.2、6.3を形成する」として、Nチャネル型MOSトランジスタを形成していた。

100061 また、第2の課題を有する半導体装置の製造方法において図11及び図14を基に説明する。從来、パンチホール用のイオン注入工程は、図11及び図14に示すように半導体基板5.1上にゲート電極6を形成した後に、該ゲート電極5.6上に形成した酸化膜5.7によりゲート電極5.6を突き抜けないようにボロニイオン(11B+)をイオン注入して、パンチホール対角線のイオン注入層5.8を形成していた。

#### 【0007】

【発明が解決しようとする課題】 先ず、第1の課題を有する半導体装置の製造方法において、しきい値圧縮歪用のイオン注入工程をチャネルリストップ層5.4形成用のイオン注入工程で兼用することで、製造工程の削減を図つてしかしながら、近年の微細化の要求に対応しよう



を示す第2の断面図である。

【図3】本発明の一実施の形態の半導体装置の製造方法を示す第3の断面図である。

【図4】本発明の一実施の形態の半導体装置の製造方法を示す第4の断面図である。

【図5】本発明の一実施の形態の半導体装置の製造方法を示す第5の断面図である。

【図6】本発明の一実施の形態の半導体装置の製造方法を示す第6の断面図である。

【図7】本発明の一実施の形態の半導体装置と従来の半導体装置との各部データの比較図である。

【図8】本発明の他の実施の形態の半導体装置の製造方法を示す断面図である。

【図9】従来の半導体装置の製造方法を示す第1の断面図である。

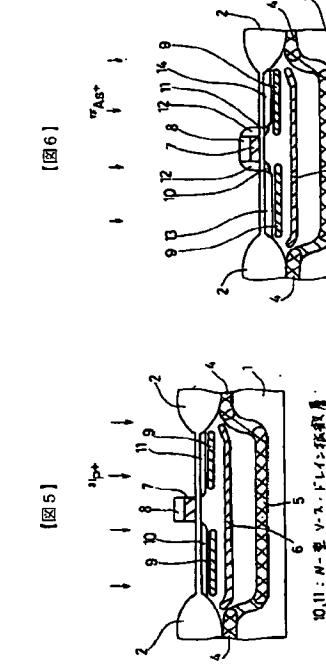
【図10】従来の半導体装置の製造方法を示す第2の断面図である。

【図11】従来の半導体装置の製造方法を示す第3の断面図である。

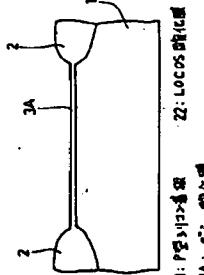
【図12】従来の半導体装置の製造方法を示す第4の断面図である。

【図13】従来の半導体装置の製造方法を示す第5の断面図である。

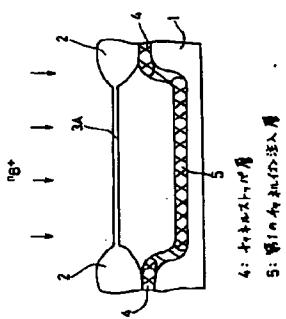
【図14】従来の第2の製造を説明するための半導体装置の製造方法を示す断面図である。



【図3】



【図2】

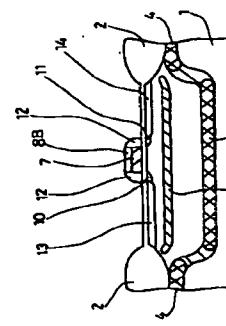


【図5】

12: マスク用レジン  
13, 14: N+ ワイヤード用被覆層

12: マスク用レジン  
13, 14: N+ ワイヤード用被覆層

【図6】



【図6】

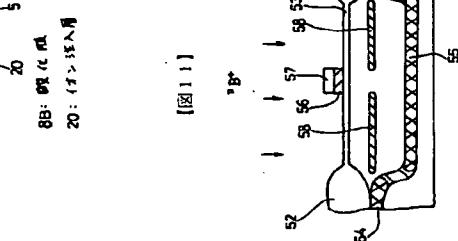
12: マスク用レジン  
13, 14: N+ ワイヤード用被覆層

【図7】

	$V$ (V)	$I_{ds}/d$ (A/m)	$I_{ds}$ (mA)	$R_{DS(on)}$ ( $\mu$ A)	$r$
従来の半導体装置	0.68	0.11	317	12.79	0.018
本発明の半導体装置	0.64	0.17	337	1.33	0.016

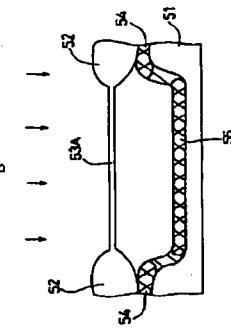
12: マスク用レジン  
13, 14: N+ ワイヤード用被覆層

【図8】



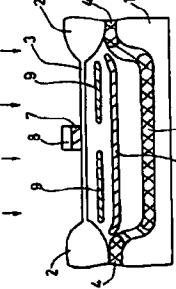
【図8】

【図9】



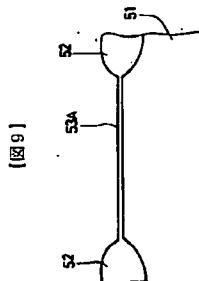
【図9】

【図10】



【図10】

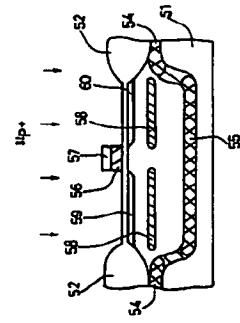
【図11】



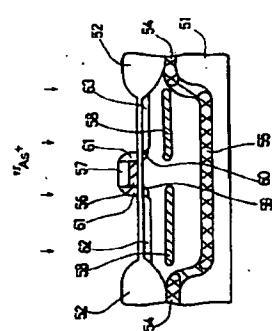
【図11】

12: マスク用レジン  
13, 14: N+ ワイヤード用被覆層

[図1.2]



[図1.3]



[図1.4]

